

ПОЛИФАЗНЫЙ ПОДХОД ПОСТРОЕНИЯ DIGITAL DOWN CONVERTER (DDC) ПОД РЕАЛИЗАЦИЮ НА FPGA

Павленко Н. П., аспирант

Национальный технический университет Украины
«Киевский политехнический институт», г. Киев, Украина

Технологии *SDR* (*Software Defined Radio*) построения радиоприемника основана на обработке оцифрованного в реальном времени радиосигнала исключительно программными средствами. В настоящее время основной элементной базой для создания подобных систем являются микросхемы программируемой логики (*Field-Programmable Gate Array (FPGA)*). Основным преимуществом использования *FPGA* является быстродействие реализуемых алгоритмов, которое обеспечивается параллельной обработкой. Одним из важных этапов приема радиосигналов является цифровое преобразование частоты вниз с последующей фильтрацией и многократной децимацией (*DDC*). Классическая структура *DDC* под реализацию на *FPGA* изображена на рис. 1 [1].

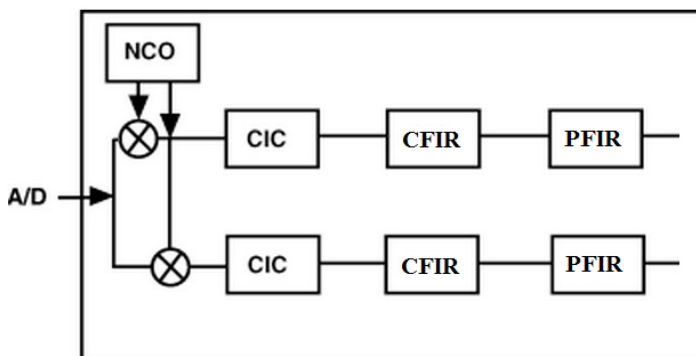


Рисунок 1. Классическая структура DDC

Ширина полосы обрабатываемого сигнала определяется максимальной тактовой частотой работы алгоритма в *FPGA* (скоростью аппаратных умножителей, доступом к памяти, осуществлением операций в сдвиговых регистрах и т.п.). На сегодняшний день на рынке

высокоскоростных АЦП представлены микросхемы с производительностью до 4 *GSPS* (*ADC12J4000 – Texas Instruments*) [2]. Максимальная же тактовая частота выше упомянутых операций для микросхем *FPGA* семейств фирмы *Altera* составляет порядка 350 МГц. Таким образом данная системная частота *FPGA* определяет предел для однофазной обработки сигнала. Задачи по обработке сигнала с полосой, превышающей 350 МГц, необходимо решать с помощью алгоритмов, ориентированных на полифазную обработку, которая подразумевает разделение входного цифрового потока данных на несколько фаз. Обработка каждой фазы происходит параллельно, что и повышает быстродействие алгоритма ЦОС пропорционально числу фаз. Поэтому разработка алгоритмов полифазной обработки на сегодняшний день является актуальной задачей. Поскольку блоки *NCO* (*Numerically Controlled Oscillator*), *CIC* фильтры и цифровые смесители в общей структуре *DDC* работают на входной частоте дискретизации сигнала, ко-

торая может превышать предел системной частоты работы *DSP* блоков и прочих операций в *FPGA*, то в данной работе предложен полифазный подход построения данных составляющих программного *DDC*. Определение количества фаз для обработки зависит от конкретной технической задачи.

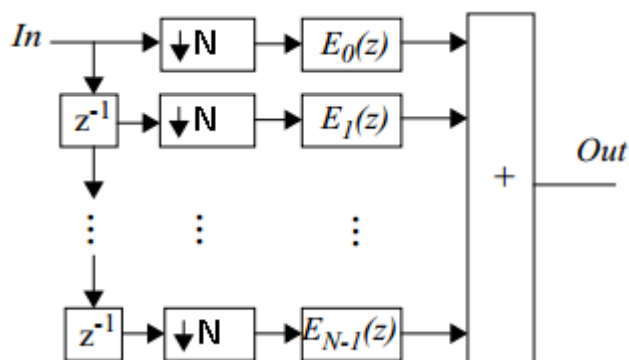


Рисунок 2. Полифазная структура CIC фильтра

соответственный отсчет. Мультиплексируя данные потоки, мы получаем гармонический сигнал с частотой дискретизации превышающей в N раз исходную, тем самым позволяющий получить преобразование частоты в широкой полосе сигнала.

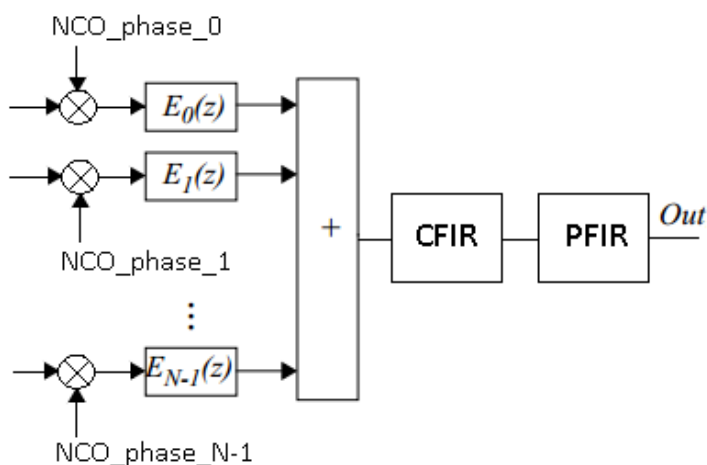


Рисунок 3. Полифазная структура DDC

CIC фильтра есть то, что он не требует операций умножения, и в тоже время, позволяет существенно снизить частоту дискретизации, что обеспечивает снижение затрат аппаратных и вычислительных ресурсов для дальнейшей обработки. Если же коэффициент децимации кратен степени двойки, то данный *CIC* фильтр можно представить в виде полифазной структуры. Переход к такой структуре (рис. 2) показан в работе [4], где $E_k(z)$ — полифазный компонент, который работает на частоте дискретизации F_s / N (F_s — частота дискретизации входного сигнала).

Предложенные алгоритмы построения блоков *NCO* и *CIC* позволяют реализовать широкополосный программный *DDC* (рис. 3), который спосо-

Для случая N -фазного алгоритма блок *NCO* должен формировать одновременно N отсчетов комплексного гармонического сигнала. Данная процедура осуществляется с помощью распараллеливания алгоритма формирования комплексного сигнала на так называемые N подблоков, каждый из которых генерирует

Классический *CIC* (*cascaded integral-comb filters CIC*) фильтр представляет собой каскадное соединение интеграторов и гребенчатых фильтров [3]. Количество набора таких элементов определяет порядок *CIC* фильтра. Увеличения порядка фильтра на единицу позволяет уменьшить уровень бокового лепестка на 11..13 дБ. Особенностью

бен обробити цифровий сигнал в межах полоси, заявленої високоскоростними АЦП.

Выводы

В работе был предложен подход для построения широкополосного *DDC*. В составе такого *DDC* *CIC* фильтр и *NCO* представлены в виде полифазных структур, алгоритмы которых подразумевает параллельную обработку. Архитектура данной структуры привлекательна для аппаратной реализации на *FPGA*.

Перечень источников

1. Pavlenko M. Optimization of Digital Down Converter (DDC) Parameters for implementation on FPGA. / Proceedings of the International Conference TCSET'2014 Dedicated to the 170th anniversary of Lviv Polytechnic National University "Modern problems of radio engineering, telecommunications, and computer science". // Lviv – Slavske, 2014, pp. 89-91.
2. 12-Bit, 4.0 GSPS RF sampling ADC with JESD204B. – Режим доступа: <http://www.ti.com/product/adc12j4000>
3. *CIC* фильтры Хогенауэра и их характеристики. – Режим доступа: <http://www.dsplib.ru/content/cic/cic.html>
4. Gao, Y. Low-Complexity High-Speed Decimation Filters / Yonghong Gao, Lihong Jia, Hannu Tenhunen. – Stockholm, Electronic System Design Laboratory Royal Institute of Technology, 1999.

Аннотация

Рассмотрена структура широкополосного *DDC*, которая состоит из полифазных *CIC* фильтров и *NCO*, под реализацию на *FPGA*.

Ключевые слова: *FPGA*, *DDC*, *CIC*, *NCO*, полифазный.

Анотація

Розглянуто структуру широкополосного *DDC*, яка складається з поліфазних *CIC* фільтрів і *NCO*, під реалізацію на *FPGA*.

Ключові слова: *FPGA*, *DDC*, *CIC*, *NCO*, поліфазний.

Abstract

The structure of broadband DDC has been considered, which consists of polyphase CIC filters and NCO. This structure is attractive for hardware implementation using FPGA.

Keywords: FPGA, DDC, CIC, NCO, polyphase.